

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-215092

(43)Date of publication of application : 31.07.2002

(51)Int.Cl.

G09G 3/30

G09G 3/20

G09G 3/22

(21)Application number : 2001-005897

(71)Applicant : HITACHI LTD

(22)Date of filing : 15.01.2001

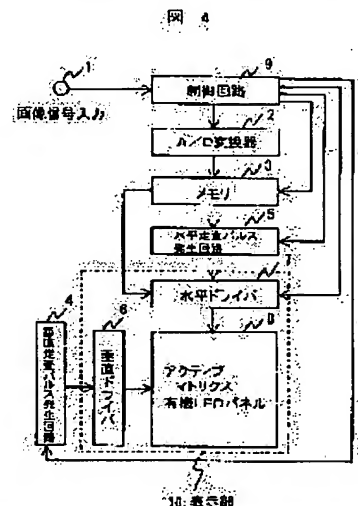
(72)Inventor : OUCHI TAKAYUKI
MIKAMI YOSHIKI
KANEKO YOSHIYUKI
SATO TOSHIHIRO
FUJITA MITSUHIKA

(54) PICTURE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a picture display device realizing bright and high quality picture display.

SOLUTION: The picture display device is comprised of a vertical driver wherein a sequence circuit and a logical operation circuit are arranged for each bit and the product of a split control signal in a horizontal scanning period and them is sequentially summed, and a horizontal driver wherein a line latch is arranged for each bit and the product of the split control signal in the horizontal scanning period and them is sequentially summed. Thus, improvement in display brightness, low cost, and high picture quality can be realized without unreasonable wiring density.



LEGAL STATUS

[Date of request for examination]

03.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the image display device which indicates the picture signal expressed with the digital data of number-of-bits n by multi-gradation with the number of gradation which becomes settled by said number-of-bits n . The display panel constituted by arranging in the shape of a matrix by making into a pixel the display device which the signal written in a certain selection period is held also except this selection period, and maintains the display condition, The perpendicular drive circuit which carries out the sequential selection scan of the display device of the shape of a matrix which constitutes said display panel for every line, The level drive circuit which writes in an electrical potential difference out of the binary electrical potential difference beforehand assigned to the display device of the line chosen by the perpendicular drive circuit according to the digital data of the picture signal which should be displayed, In the image display device which carries out said level and a perpendicular drive circuit, and indicates by multi-gradation synchronizing with said picture signal which should be displayed by carrying out the selection scan of each display pixel at least n times in an one-frame period Said perpendicular drive circuit is an image display device characterized by having the sequential circuit and the logic operation circuit of an output more than number-of-bits n at least.

[Claim 2] It is the image display device which indicates the picture signal expressed with the digital data of number-of-bits n by multi-gradation with the number of gradation which becomes settled by said number-of-bits n . The display panel constituted by arranging in the shape of a matrix by making into a pixel the display device which the signal written in a certain selection period is held also except this selection period, and maintains the display condition, The perpendicular drive circuit which carries out the sequential selection scan of the display device of the shape of a matrix which constitutes said display panel for every line, The level drive circuit which writes in an electrical potential difference out of the binary electrical potential difference beforehand assigned to the display device of the line chosen by the perpendicular drive circuit according to the digital data of the picture signal which should be displayed, In the image display device which carries out said level and a perpendicular drive circuit, and indicates by multi-gradation synchronizing with said picture signal which should be displayed by carrying out the selection scan of each display pixel at least n times in an one-frame period Said level drive circuit has the Rhine data latch circuit more than number-of-bits n at least. The image display device characterized by outputting the driver voltage of said active-matrix display device according to the result of having added the logic signal which consists of a product of the output for every bit of this data latch circuit, and the control signal which divides a horizontal scanning period one by one.

[Claim 3] It is the image display device characterized by being an image display device according to claim 1 or 2, and said perpendicular drive circuit specifying the electrical potential difference which adds the logic signal which consists of a product of a sequential circuit, the logical operation result of the output, and the control signal that divides a horizontal scanning period for every bit to the vertical-scanning line of said active matrix according to the result added one by one.

[Claim 4] It is an image display device given in either of claims 1-3. Said display device The first thin film transistor by which the gate was connected to the vertical-scanning line of a active matrix, and the drain was connected to the horizontal scanning line, The gate of the second thin film transistor and the

electrode of storage capacitance are connected to the source of this first thin film transistor. The period in which organic [LED] is connected to this second thin film transistor, and a picture signal is held at said storage capacitance is an image display device characterized by holding a display condition, when a current continues flowing to organic [said / LED].

[Claim 5] It is the image display device characterized by being an image display device given in either of the 4 publications from claim 1, and said perpendicular drive circuit and the level drive circuit being constituted by the thin film transistor on a active-matrix substrate.

[Claim 6] It is the image display device with which it is the image display device in which a display and the drive circuit section were formed on the substrate, this image display device indicates the picture signal of the digital data of number-of-bits n by multi-gradation with the number of gradation which becomes settled by number-of-bits n, and said drive circuit section has the logical operation connected to each output side of the sequential circuit of the number more than number-of-bits n, and this sequential circuit at least.

[Claim 7] It is the image display device which said drive circuit section has the perpendicular drive circuit in the image display device of claim 6, and is characterized by this perpendicular drive circuit having the logical operation connected to each output side of the sequential circuit of the number more than number-of-bits n, and this sequential circuit at least.

[Claim 8] It is the image display device in which a display and the drive circuit section were formed on the substrate. This image display device It is what indicates the picture signal of the digital data of number-of-bits n by multi-gradation with the number of gradation which becomes settled by number-of-bits n. Said drive circuit section It has the Rhine data latch circuit more than number-of-bits n at least. The output and horizontal scanning period for every bit of this Rhine data latch circuit The image display device characterized by controlling said display according to the result of having added the signal according to the control signal which divides the output and horizontal scanning period for every bit of the sequential aforementioned Rhine data latch circuit for the logic signal which has a product with the control signal to divide one by one.

[Claim 9] In the image display device of claim 8 said drive circuit section It has the level drive circuit. This level drive circuit It has the Rhine data latch circuit more than number-of-bits n at least. The output and horizontal scanning period for every bit of this Rhine data latch circuit The image display device characterized by controlling said display according to the result of having added the signal according to the control signal which divides the output and horizontal scanning period for every bit of the sequential aforementioned Rhine data latch circuit for the logic signal which has a product with the control signal to divide one by one.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the image display device of a active-matrix mold, the signal level written especially in a certain selection period is held also except this selection period, and about the image display device which controls the electro-optics property of a display device by the signal level, in more detail, the above-mentioned signal level is binary and is related with the image display device which performs the multi-gradation display of an image by controlling according to the level of the video signal which should display the maintenance period of the signal level.

[0002]

[Description of the Prior Art] In recent years, the need of a personal computer, a Personal Digital Assistant, information communication equipment, or these compound products is growing with arrival of a highly informative society. The display of a thin shape, a light weight, and a high-speed response is suitable for these products, and the display by an organic spontaneous light type LED component (OLED) etc. is used for them. The pixel of the conventional organic LED display equipment becomes a thing like drawing 1. In drawing 1 (a), the first thin film transistor (TFT) Tsw23 is connected at each intersection of the gate line 22 and the data line 21, and the second thin film transistor Tdr24 which controls the current passed to the capacity Cs 25 which stores data in this, and organic [LED / 26] is connected. The wave which drives this is as being shown in drawing 1 (b). The electrical potential difference according to a data signal Vsig27 is impressed to the gate electrode of the second TFT through the transistor of the first TFT turned on with gate voltage Vgh28. The conductivity of the second TFT becomes settled with the signal level impressed to the gate of this second TFT, and the current which the partial pressure of the electrical potential difference Vdd impressed to a current supply source line is carried out between TFT and the organic LED component which is a load component, and flows for an organic LED component becomes settled. Here, with the configuration whose Vsig takes a multiple value in analog, it is required that the property of the second TFT should be uniform over the viewing area of a display. However, it is difficult to fill the above-mentioned demand with non-single crystal silicon with the heterogeneity of the electrical characteristics of TFT which an active layer consists of.

[0003] In order to solve this, the second TFT is used as a switch and the digital drive method which makes ON and binary [off] the current passed for an organic LED component is proposed. A gradation display is realized by controlling the time amount which passes a current. As a well-known example by which the description about this point was made, open patent official report JP,10-214060,A is known. The diagram of the drive by this technique is shown in drawing 2. The axis of ordinate of this drawing is the location of the vertical scanning line, and an axis of abscissa is time amount and has shown one frame. In the drive by the above-mentioned well-known example, an one-frame period is divided into four subframes, and 1, 2, --, the luminescence period by which weighting was carried out to $24=64$ are established for the vertical-scanning period which has common die length within each subframe, and die length by the subframe.

[0004]

[Problem(s) to be Solved by the Invention] Now, according to the method which separates a vertical-scanning period and a luminescence period as mentioned above, literally, since luminescence cannot be presented with a vertical-scanning period, the luminescence time amount occupied to one frame will be shortened. On the contrary, in order to secure luminescence time amount, a vertical-scanning period must be shortened. However, when a wiring capacity peculiar to a active matrix, resistance, etc. are taken into consideration, in order to secure this ON time amount, a sufficiently big vertical-scanning period is needed, since it becomes the ON time amount of Tsw only while almost (a vertical-scanning period / the number m of vertical-scanning lines). For example, in the display of eight subframes, the vertical-scanning period for about 1ms per one subframe is assumed. In this case, in addition to the time amount which can be used for luminescence serving as about 8ms and half [of one frame], it is

required that one vertical scanning should be about 16 usualX.

[0005] What is necessary is to multiplex a vertical scanning and just to advance a vertical scanning and luminescence to coincidence, in order to solve this technical problem. It seems that the drive diagram at this time is shown in drawing 3. Drawing 3 shows the example of a drive of a triplet, and the situations that a display advances are indicated to be three vertical scanings. The fundamental concept of this driving method starts in the television society image display system study group data 11-4 "halftone animation display by AC form plasma display" (March 12, 1973), and the example which applied it to active matrix liquid crystal is suggested to the patent official report No. 2954329. However, in the case of the liquid crystal by the latter well-known example, the actual condition required the high-speed response, and as a result of a speed of response is slower than a frame period and furthering ED about an analog display, the configuration which actually materializes this driving method was not clarified.

[0006] However, as mentioned above, the organic LED display of an active matrix with a suitable digital drive becomes possible by high-speed response, and the configuration which materializes the drive with it came to be called for.

[0007] This invention is the image display device of an active matrix, and the configuration to which a vertical scanning is multiplexed, a display period and a vertical-scanning period are advanced to coincidence, and it indicates by digital drive is realized.

[0008] The purpose of this invention offers the image display device which realizes image display of high quality brightly.

[0009] Another purpose of this invention is offering a low cost image display device by mitigating the load of a perpendicular drive circuit.

[0010]

[Means for Solving the Problem] If this application is caused like 1 operative condition, with the image display device of an active matrix Even if there are few digital data, said two or more bits digital data is impressed to the sequential circuit for the number of bits. Multiplex these as a configuration which specifies the electrical-potential-difference condition for one step of vertical-scanning line based on the result of having performed logical operation of those outputs, and digital data is impressed to the Rhine latch for the number of bits at least at juxtaposition. It is a thing of having synchronized these with the vertical scanning which carried out [above-mentioned] multiplexing, and having made them output.

[0011] moreover, another operative condition of this application -- if it depends like, the drive circuit section is the image display device in which a display and the drive circuit section were formed on the substrate, and an image display device indicates the picture signal of the digital data of number-of-bits n by multi-gradation with the number of gradation which becomes settled by number-of-bits n , and it has the logical operation connected to each output side of the sequential circuit of the number more than number-of-bits n , and a sequential circuit at least

[0012] Furthermore, the drive circuit section has the perpendicular drive circuit, and has the logical operation by which this perpendicular drive circuit was connected to each output side of the sequential circuit of the number more than number-of-bits n , and a sequential circuit at least.

[0013] According to still more nearly another embodiment of this application, with the image display device in which a display and the drive circuit section were formed on the substrate an image display device It is what indicates the picture signal of the digital data of number-of-bits n by multi-gradation with the number of gradation which becomes settled by number-of-bits n . The drive circuit section It has the Rhine data latch circuit more than number-of-bits n at least. The output and horizontal scanning period for every bit of the Rhine data latch circuit Said display is controlled according to the result of having added the signal according to the control signal which divides the output and horizontal scanning period for every bit of the sequential aforementioned Rhine data latch circuit for the logic signal which has a product with the control signal to divide one by one.

[0014] Furthermore, the drive circuit section controls said display according to the result of having added the signal according to the control signal which divides the output and the horizontal scanning

period for every bit of the Rhine data latch circuit for the logic signal which has the level drive circuit, and this level drive circuit has the Rhine data latch circuit more than number-of-bits n at least, and has the product of the output for every bit of the Rhine data latch circuit, and the control signal which divides a horizontal scanning period one by one by one.

[0015]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained using a drawing. Drawing 4 is the block diagram of the principal part of the image display device by the gestalt of operation of this invention. It consists of the picture signal input terminal 1, A/D converter 2, memory 3, the vertical-scanning pulse generating circuit 4, the horizontal scanning pulse generating circuit 5, the perpendicular driver 6, the level driver 7, a active-matrix organic LED panel 8, and a control circuit 9 in this drawing. Moreover, the perpendicular driver 6, the level driver 7, and the active-matrix organic LED panel 8 will be collectively called a display 10. The display 10 is taken as the configuration of the TFT drive by the same substrate top. Actuation of each block diagram is explained below. In a control circuit 9, various kinds of control signals which synchronized with the inputted picture signal are formed, and each circuit is supplied. In the vertical-scanning pulse generating circuit 4, based on the control signal from a control circuit 9, the pulse for carrying out the vertical scanning of the organic LED panel 8 is generated, and the organic LED panel 8 is scanned through the perpendicular driver 6. In the horizontal scanning pulse generating circuit 5, synchronizing with the control signal from a control circuit 9, the picture signal for every bit of memory 3 is incorporated, and the write-in pulse to the display pixel horizontally located in a line is formed. This write-in pulse doubles timing with a vertical scanning through the level driver 7, and is impressed to the organic LED panel 8.

[0016] In a display 10, an electrical potential difference binary [according to each bit of the digital data obtained by carrying out A/D conversion of the picture signal / predetermined] is outputted from the level driver 7 to the pixel of the line chosen by the perpendicular driver 6, and the predetermined electrical potential difference is written in each pixel. As a active-matrix organic LED panel in a display 10, it has 320 pixels of horizontals, and the viewing area of 229 pixels of perpendiculars. What is necessary is just to perform a multiplexing vertical scanning which is described at drawing 5 , in order to display gradation by the above drive. Drawing 5 is the case where it is the digital data whose picture signal is 4 bits. From the least significant bit (LSB) to the most significant bit (MSB) is set to b_0 , b_1 , b_2 , and b_3 . What is necessary is to make it scan in the form which was made to correspond for every bit at this time, and shifted the phase along with continuous lines L_0 , L_1 , L_2 , and L_3 , respectively, and just to scan in time sharing. According to this, since the luminescence time amount organic [LED] in each pixel is controlled according to digital data, as for the case of 4 bits, the display of 16 gradation is attained.

[0017] The configuration of the perpendicular driver 6 is shown in drawing 6 . In this example of a configuration, it is the description to add the signal of vertical-scanning control for every bit. A part for the number of bits 11-0, i.e., four shift registers, 11-1, 11-2, and 11-3 start a shift action by start pulse G_{0st} , G_{1st} , G_{2st} , and G_{3st} , respectively. The output of these shift registers is inputted into a logic operation circuit 12-0, 12-1, 12-2, and 12-3. The output of each of this logic operation circuit, The sum of products of the control signal of the gradation control signals GDE_0 , GDE_1 , GDE_2 , and GDE_3 are carried out for every bit, and when the final output becomes high-level, it has the composition that TFT connected to the vertical-scanning lines G_1 , G_2 , --, G_{229} and the signal V_{gh} with which T_{sw} is turned on are impressed.

[0018] Drawing 7 shows the control action wave impressed to the perpendicular driver of this configuration. First, as shown in drawing 7 (a), start pulse G_{0st} serves as 1H period ON at time of day $t=0$ (1H are a horizontal scanning period). Then, period 15H are set, start pulse G_{1st} serves as ON, 30H are set during that anaphase, start pulse G_{2st} serves as ON, 60H are set to a pan, and start pulse G_{3st} serves as ON. The period between these start pulses is used for luminescence, respectively. Moreover, as shown in drawing 7 (b), GDE_0 , GDE_1 , GDE_2 , and GDE_3 are the pulse trains which divided 1H period

into this order at equal intervals. if such a pulse train is impressed to the perpendicular driver of the configuration of drawing 6 -- the first vertical-scanning line G1 -- time-of-day 0, time-of-day $16H+(1/4)H$, time-of-day $46H+(2/4)H$, and time-of-day $107H+(3/4)H$ -- respectively -- alike -- about [period] -- the electrical potential difference V_{gh} which TFT turns on only $H/4$ will be impressed. Since number-of-bits division of $1H$ is carried out, TFT connected to two or more vertical-scanning lines at this time of day turns on, and a signal is not mixed. The perpendicular driver by the above-mentioned configuration has the description that the display number of bits can be increased easily, without causing increase of vertical wiring, if a shift register, the logic operation circuit section, and the sum-of-products section are added as a unit. Moreover, the ON time amount of TFT connected to one vertical-scanning line can allot the time amount which divided $1H$ with the number of bits at the maximum. At the case of the above-mentioned 4 bits, twice as many tolerance as this can be well given from a well-known example conventionally by 8X with about 2ms by about 4ms, 4X, and 8 bits. Furthermore, total of luminescence time amount can use an one-frame period mostly, and can raise the effectiveness of luminescence. Moreover, with the above-mentioned configuration, the unit of the most significant bit has been arranged in the long distance location from the active matrix. According to this, since the luminescence period will be long even if delay of a digital signal arises, the distortion is absorbed.

[0019] Next, drawing 8 explains the level driver 7. As a configuration of the level driver 7, a latch circuit 13-0, 13-1, 13-2, and 13-3 are prepared for every bit with one shift register, and the description is in the configuration which carries out the sum of products of the data output control signals DDE0, DDE1, DDE2, and DDE3 to these outputs one by one. A fundamental drive wave is shown in drawing 9. The 4-bit image data after A/D conversion is inputted into juxtaposition at each latch circuit data buses DB0 and DB1, DB2, and DB3. This data input is repeated the number 320 times of horizontal pixels within $1H$ period synchronizing with a shift register output. After an appropriate time, it is stored in the Rhine memory in a latch circuit based on the data latch signal DL. DDE0, DDE1, DDE2, and DDE3 become sequential ON within the next $1H$ period, and the high-level electrical potential difference V_{dh} according to digital data and the low electrical potential difference V_{dl} are impressed to the data line from the least significant bit at the order of the most significant bit. The timing of the electrical-potential-difference impression to this data line is made in agreement with the timing of the vertical scanning described above. Thereby, the V_{dh} impression by the data of the least significant bit is maintained $15H$, and the V_{dh} impression by the most significant bit is constituted so that it may be maintained $120H$.

[0020] It is controlled so that the current which flows to organic [LED] serves as binary [of turning on, and off] in a display 10 by the above. That is, in the switch transistor in a pixel, a gate signal V_{gh} has the relation which operates by data signals V_{dh} and V_{dl} and the non-saturation state, and a data signal V_{dh} has further the relation which operates by the applied voltage V_{dd} and the non-saturation state organic [LED] to a current supply source line in a driver transistor. Storage capacitance C_s controls the gate voltage variation of a driver transistor, when a switch transistor is in an OFF state, and it is set up so that change of the gradation display by current change which flows to organic [LED] may not be caused.

[0021] In addition, this invention is not limited to the gestalt of the above-mentioned implementation. It cannot be overemphasized that the number of TFT(s) in a pixel is good not only at two pieces but more than this. Moreover, although the example which constitutes a level driver and a perpendicular driver from TFT was shown, if a connection part with the active-matrix section is TFT, the effectiveness of this invention is not spoiled, for example, it cannot be overemphasized that the shift register part of a perpendicular driver may consist of external integrated circuits.

[0022] Furthermore, although the above described about the organic LED display, it cannot be overemphasized that it is applicable also to the display using the liquid crystal in which the drive circuitry carries out a display, for example, a high-speed switch, and the field emission component (FED) of other active matrices.

[0023] Since time amount which the rate that the display period within an one-frame period occupies

can be enlarged in the image display component which controls the binary condition of a display device based on digital data, and drives a display device, and is assigned to a vertical scanning can be lengthened above according to this application, it is effective in the ability to mitigate the load of a perpendicular drive circuit and realize a low cost image display device at the same time the image display of high quality is brightly realizable.

[0024]

[Effect of the Invention] According to this invention, the image display device which realized image display of high quality brightly can be offered.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing for explaining the pixel organic [LED] and drive by the conventional example.

[Drawing 2] It is drawing for explaining a digital drive diagram organic [by the conventional example / LED].

[Drawing 3] It is drawing for explaining the drive diagram of vertical-scanning multiplexing.

[Drawing 4] It is the block diagram of the image display device by the gestalt of operation of this invention.

[Drawing 5] It is drawing for explaining the drive diagram by the gestalt of operation of this invention.

[Drawing 6] It is drawing showing the perpendicular driver configuration by the gestalt of operation of this invention.

[Drawing 7] It is drawing showing the control wave of the perpendicular driver by the gestalt of operation of this invention.

[Drawing 8] It is drawing showing the level driver configuration by the gestalt of operation of this invention.

[Drawing 9] It is drawing showing the control wave of the level driver by the gestalt of operation of this invention.

[Description of Notations]

1 [-- A vertical-scanning pulse generating circuit, 5 / -- A horizontal scanning pulse generating circuit, 6 / -- A perpendicular driver, 7 / -- A level driver, 8 / -- A active-matrix organic LED panel, 9 / -- A control circuit, 10 / -- A display, 11 / -- A shift register, 12 / -- A logic operation circuit, 15 / -- Latch circuit.] -- A picture signal input terminal, 2 -- An A/D converter, 3 -- Memory, 4

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-215092
(P2002-215092A)

(43) 公開日 平成14年7月31日 (2002.7.31)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 5 C 0 8 0
3/20	6 2 1	3/20	6 2 1 M
	6 2 2		6 2 2 G
			6 2 2 Q
	6 2 3		6 2 3 X

審査請求 未請求 請求項の数 9 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2001-5897(P2001-5897)

(22) 出願日 平成13年1月15日 (2001.1.15)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大内 貴之

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72) 発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

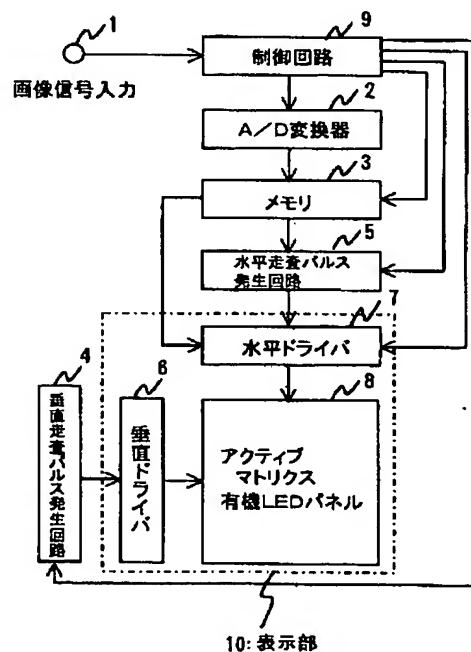
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 垂直走査を多重化したデジタル駆動によるアクティブマトリクス表示素子の実際の構成法が求められていた。

【解決手段】 ビットごとに、順序回路と、論理演算回路とをもうけそれらと水平走査期間の分割制御信号との積を順次加える垂直ドライバの構成、ビット毎にラインラッチを設け、水平走査期間の分割制御信号との積を順次加える水平ドライバの構成とした。配線密度に無理なく、表示輝度向上、低コスト、高画質を実現できる。

図 4



(2)

1

【特許請求の範囲】

【請求項1】ビット数 n のデジタルデータで表された画像信号を前記ビット数 n により定まる階調数で多階調表示する画像表示装置であって、

ある選択期間に書きこまれた信号を該選択期間以外も保持してその表示状態を維持する表示素子を画素としてマトリクス状に配列することにより構成した表示パネルと、前記表示パネルを構成するマトリクス状の表示素子を行毎に順次選択走査する垂直ドライブ回路と、垂直ドライブ回路により選択された行の表示素子に対し、表示すべき画像信号のデジタルデータに応じてあらかじめ割り当てられた2値の電圧のなかから電圧を書き込む水平ドライブ回路と、前記水平、垂直ドライブ回路をして、表示すべき前記画像信号に同期して、1フレーム期間において少なくとも n 回各表示画素を選択走査せしめることにより多階調表示する画像表示装置において、前記垂直ドライブ回路は、少なくともビット数 n 以上の順序回路とその出力の論理演算回路とを有することを特徴とする画像表示装置。

【請求項2】ビット数 n のデジタルデータで表された画像信号を前記ビット数 n により定まる階調数で多階調表示する画像表示装置であって、

ある選択期間に書きこまれた信号を該選択期間以外も保持してその表示状態を維持する表示素子を画素としてマトリクス状に配列することにより構成した表示パネルと、前記表示パネルを構成するマトリクス状の表示素子を行毎に順次選択走査する垂直ドライブ回路と、垂直ドライブ回路により選択された行の表示素子に対し、表示すべき画像信号のデジタルデータに応じてあらかじめ割り当てられた2値の電圧のなかから電圧を書き込む水平ドライブ回路と、前記水平、垂直ドライブ回路をして、表示すべき前記画像信号に同期して、1フレーム期間において少なくとも n 回各表示画素を選択走査せしめることにより多階調表示する画像表示装置において、前記水平ドライブ回路は、少なくともビット数 n 以上のラインデータラッチ回路を有し、該データラッチ回路のビット毎の出力と水平走査期間を分割する制御信号との積からなる論理信号を順次加えた結果に応じて前記アクティブマトリクス表示素子の駆動電圧を出力することを特徴とする画像表示装置。

【請求項3】請求項1又は2記載の画像表示装置であって、

前記垂直ドライブ回路は、ビット毎に順序回路とその出力の論理演算結果と水平走査期間を分割する制御信号との積からなる論理信号を順次加えた結果に応じて、前記アクティブマトリクスの垂直走査線に加える電圧を規定することを特徴とする画像表示装置。

【請求項4】請求項1から3のいずれかに記載の画像表示装置であって、

前記表示素子は、アクティブマトリクスの垂直走査線に

2

ゲートを、水平走査線にドレインを接続された第一の薄膜トランジスタと、該第一の薄膜トランジスタのソースには第二の薄膜トランジスタのゲートと蓄積容量の電極が接続され、該第二の薄膜トランジスタには有機LEDが接続され、画像信号が前記蓄積容量に保持される期間中は、前記有機LEDに電流が流れつづけることにより表示状態が保持されることを特徴とする画像表示装置。

【請求項5】請求項1から4記載のいずれかに記載の画像表示装置であって、前記垂直ドライブ回路および水平ドライブ回路はアクティブマトリクス基板上に薄膜トランジスタにより構成されていることを特徴とする画像表示装置。

【請求項6】基板上に表示部及び駆動回路部を形成した画像表示装置であって、

該画像表示装置は、ビット数 n のデジタルデータの画像信号をビット数 n により定まる階調数で多階調表示するものであり、

前記駆動回路部は、少なくともビット数 n 以上の個数の順序回路と、該順序回路のそれぞれの出力側に接続された論理演算を有する画像表示装置。

【請求項7】請求項6の画像表示装置において、前記駆動回路部は、垂直ドライブ回路を有しており、該垂直ドライブ回路は、少なくともビット数 n 以上の個数の順序回路と、該順序回路のそれぞれの出力側に接続された論理演算を有していることを特徴とする画像表示装置。

【請求項8】基板上に表示部及び駆動回路部を形成した画像表示装置であって、

該画像表示装置は、ビット数 n のデジタルデータの画像信号をビット数 n により定まる階調数で多階調表示するものであり、

前記駆動回路部は、少なくともビット数 n 以上のラインデータラッチ回路を有し、該ラインデータラッチ回路のビット毎の出力と水平走査期間を分割する制御信号との積を有する論理信号を順次前記ラインデータラッチ回路のビット毎の出力と水平走査期間を分割する制御信号とに応じた信号を順次加えた結果に応じて前記表示部を制御することを特徴とする画像表示装置。

【請求項9】請求項8の画像表示装置において、前記駆動回路部は、水平ドライブ回路を有しており、該水平ドライブ回路は、少なくともビット数 n 以上のラインデータラッチ回路を有し、該ラインデータラッチ回路のビット毎の出力と水平走査期間を分割する制御信号との積を有する論理信号を順次前記ラインデータラッチ回路のビット毎の出力と水平走査期間を分割する制御信号とに応じた信号を順次加えた結果に応じて前記表示部を制御することを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリ

(3)

3

クス型の画像表示装置に係り、特にある選択期間に書き込まれた信号電圧を該選択期間以外も保持し、その信号電圧によって表示素子の電気光学特性を制御する画像表示装置に関し、さらに詳しくは、上記信号電圧は2値であり、その信号電圧の保持期間を表示すべき映像信号のレベルに応じて制御することにより画像の多階調表示を行う画像表示装置に関するものである。

【0002】

【従来の技術】近年、高度情報化社会の到来に伴い、パーソナルコンピュータ、携帯情報端末、情報通信機器あるいはこれらの複合製品の需要が増大している。これらの製品には、薄型、軽量、高速応答のディスプレイが好適であり、自発光型の有機LED素子(OLEED)などによる表示装置が用いられている。従来の有機LED表示装置の画素は、図1のようなものとなる。図1(a)において、ゲート線22とデータ線21の各交点に第一の薄膜トランジスタ(TFT)Tsw23が接続され、これにデータを蓄積する容量Cs25、有機LED26に流す電流を制御する第二の薄膜トランジスタTdr24が接続されている。これを駆動する波形は、図1(b)に示す通りである。データ信号Vsig27に応じた電圧が、ゲート電圧Vgh28でオンされる第一のTFTのトランジスタを介して第二のTFTのゲート電極に印加される。この第二のTFTのゲートに印加された信号電圧により第二のTFTの導電率が定まり、電流供給線に印加される電圧Vddが、TFTと負荷素子である有機LED素子との間で分圧されて有機LED素子に流れる電流が定まる。ここで、Vsigがアナログ的に多値をとる構成では、第二のTFTの特性が表示装置の表示領域にわたって均一であることが要求される。しかし、非単結晶シリコンで能動層が構成されるTFTの電気的特性の不均一性により上記要求をみたすことが難しい。

【0003】これを解決するために、第二のTFTをスイッチとして用い、有機LED素子に流す電流をオンとオフの2値とするデジタル駆動方式が提案されている。階調表示は、電流を流す時間を制御することにより実現する。この点に関する記述がなされた公知例としては、公開特許公報特開平10-214060号が知られている。この技術による駆動のダイアグラムを図2に示す。同図の縦軸は、垂直方向の走査線の位置であり、横軸は、時間で、1フレーム分を示してある。上記公知例による駆動では、1フレーム期間を4個のサブフレームに分け、各サブフレーム内で共通の長さを有する垂直走査期間と、長さがサブフレームにより1, 2, ..., 2⁴=64に重み付けされた発光期間が設けられている。

【0004】

【発明が解決しようとする課題】さて、上記のように垂直走査期間と発光期間を分離する方式によると、文字どおり垂直走査期間は発光に供することができないので1フレームに占める発光時間が短縮されてしまう。逆に、

4

発光時間を確保するためには、垂直走査期間を短くせねばならない。しかし、ほぼ(垂直走査期間/垂直走査線数m)の間だけTswのオン時間となるので、アクティブマトリクスに固有な配線容量、抵抗などを考慮すると、このオン時間を確保するためには十分大きな垂直走査期間が必要となる。例えば、8サブフレームの表示の場合、1サブフレームあたり約1ms程度の垂直走査期間が想定される。この場合は、発光に使える時間は約8msと1フレームの半分となるのに加え、1垂直走査は通常の約16倍速であることが要求される。

【0005】この課題を解決するには、垂直走査を多重化し、垂直走査と発光を同時に進行させればよい。この時の駆動ダイアグラムは、図3に示すようなものとなる。図3は、3ビットの駆動例を示すものであり、3つの垂直走査と、表示が進行する状況が示されている。この駆動法の基本的な概念は、テレビジョン学会画像表示システム研究会資料11-4「AC形プラズマディスプレイによる中間調動画表示」(1973年3月12日)に始まり、それをアクティブマトリクス液晶に適用した例が特許公報第2954329号にも示唆されている。しかしながら、後者の公知例による液晶の場合、高速応答を要するのが実状であり、応答速度がフレーム期間より遅くアナログ表示に関する技術開発が進められた結果、この駆動法を実際に具体化する構成は明らかにされてこなかった。

【0006】しかるに、上述したように高速応答でデジタル駆動が好適なアクティブマトリクス方式の有機LEDディスプレイが可能になり、それとともにその駆動を具体化する構成が求められるようになった。

【0007】本発明は、アクティブマトリクス方式の画像表示装置で、垂直走査を多重化し表示期間と垂直走査期間を同時に進行させてデジタル駆動表示をさせる構成を実現するものである。

【0008】本発明の目的は、明るく高品質の画像表示を実現する画像表示装置を提供するものである。

【0009】本発明の別の目的は、垂直ドライブ回路の負荷を軽減することにより、低コストな画像表示装置を提供することである。

【0010】

【課題を解決するための手段】本出願の一実施態様によれば、アクティブマトリクス方式の画像表示装置で、デジタルデータの少なくともビット数分の順序回路に前記複数ビットのデジタルデータを印加し、それらの出力の論理演算を行った結果にもとづき垂直走査線一段分の電圧状態を規定する構成としてこれらを多重化し、また、少なくともビット数分のラインラッチに並列にデジタルデータを印加して、これらを上記多重化した垂直走査に同期させて出力させたというものである。

【0011】また、本出願の別の実施態様によれば、基板上に表示部及び駆動回路部を形成した画像表示装置

50

(4)

5

で、画像表示装置は、ビット数 n のデジタルデータの画像信号をビット数 n により定まる階調数で多階調表示するものであり、駆動回路部は、少なくともビット数 n 以上の個数の順序回路と、順序回路のそれぞれの出力側に接続された論理演算を有するというものである。

【0012】さらに、駆動回路部は、垂直ドライブ回路を有しており、この垂直ドライブ回路が少なくともビット数 n 以上の個数の順序回路と、順序回路のそれぞれの出力側に接続された論理演算を有しているというものである。

【0013】本出願のさらに別の実施態様によれば、基板上に表示部及び駆動回路部を形成した画像表示装置で、画像表示装置は、ビット数 n のデジタルデータの画像信号をビット数 n により定まる階調数で多階調表示するものであり、駆動回路部は、少なくともビット数 n 以上のラインデータラッチ回路を有し、ラインデータラッチ回路のビット毎の出力と水平走査期間を分割する制御信号との積を有する論理信号を順次前記ラインデータラッチ回路のビット毎の出力と水平走査期間を分割する制御信号とに応じた信号を順次加えた結果に応じて前記表示部を制御するというものである。

【0014】さらに、駆動回路部は、水平ドライブ回路を有しており、この水平ドライブ回路が少なくともビット数 n 以上のラインデータラッチ回路を有し、ラインデータラッチ回路のビット毎の出力と水平走査期間を分割する制御信号との積を有する論理信号を順次ラインデータラッチ回路のビット毎の出力と水平走査期間を分割する制御信号とに応じた信号を順次加えた結果に応じて前記表示部を制御するというものである。

【0015】

【発明の実施の形態】以下、図面を用いて本発明の実施の形態を説明する。図4は、本発明の実施の形態による画像表示装置の主要部のブロック図である。同図において、画像信号入力端子1、A/D変換器2、メモリ3、垂直走査パルス発生回路4、水平走査パルス発生回路5、垂直ドライバ6、水平ドライバ7、アクティブマトリクス有機LEDパネル8、制御回路9からなる。また、垂直ドライバ6、水平ドライバ7、アクティブマトリクス有機LEDパネル8をまとめて表示部10と呼ぶことにする。表示部10は、同一基板上によるTFT駆動の構成としている。以下各ブロック図の動作を説明する。制御回路9では、入力された画像信号に同期した各種のコントロール信号を形成し、各回路に供給する。垂直走査パルス発生回路4では、制御回路9からのコントロール信号に基づき、有機LEDパネル8を垂直走査するためのパルスを発生し、垂直ドライバ6を介して有機LEDパネル8を走査する。水平走査パルス発生回路5では、制御回路9からのコントロール信号に同期してメモリ3の各ビット毎の画像信号を取り込み、水平方向に並ぶ表示画素への書き込みパルスを形成する。この書き

6

込みパルスは、水平ドライバ7を介し垂直走査にタイミングを合せて有機LEDパネル8に印加される。

【0016】表示部10においては、垂直ドライバ6で選択された行の画素に対して、画像信号をA/D変換して得られたデジタルデータの各ビットに応じた所定の2値の電圧が、水平ドライバ7から出力され、その所定の電圧が各画素に書き込まれる。表示部10におけるアクティブマトリクス有機LEDパネルとしては、水平320画素、垂直229画素の表示領域を有する。以上の駆動で階調を表示するには、図5に記されるような多重化垂直走査を行えばよい。図5は、画像信号が4ビットのデジタルデータの場合である。最下位ビット(LSB)から最上位ビット(MSB)までを b_0 , b_1 , b_2 , b_3 とする。このとき各ビット毎に対応させてそれぞれ実線 L_0 , L_1 , L_2 , L_3 に沿って位相をずらした形で走査させ時分割的に走査すればよい。これによれば、デジタルデータにしたがって各画素での有機LEDの発光時間が制御されるので4ビットの場合は16階調の表示が可能になる。

【0017】図6に、垂直ドライバ6の構成を示す。この構成例では、ビット毎に垂直走査制御の信号を足し合わせることが特徴である。ビット数分すなわち4系統のシフトレジスタ $11-0$, $11-1$, $11-2$, $11-3$ が、それぞれスタートパルス G_0st , G_1st , G_2st , G_3st によりシフト動作を開始する。これらシフトレジスタの出力を論理演算回路 $12-0$, $12-1$, $12-2$, $12-3$ に入力し、該それぞれの論理演算回路の出力と、階調制御信号 GDE_0 , GDE_1 , GDE_2 , GDE_3 の制御信号をそれぞれのビット毎に積和してゆき、最終出力がハイレベルになった時に垂直走査線 G_1 , G_2 , ..., G_{229} に接続されたTFT, Tsw がオンされる信号 Vgh が印加される構成となっている。

【0018】図7は、かかる構成の垂直ドライバに印加する制御動作波形を示したものである。まず、図7

(a)に示すように時刻 $t=0$ にスタートパルス G_0st が1H期間オンとなる(1Hは、水平走査期間)。この後、期間15Hにおいて、スタートパルス G_1st がオンとなり、その後期間30Hにおいてスタートパルス G_2st がオンとなり、さらに60Hにおいてスタートパルス G_3st がオンとなる。これらのスタートパルス間の期間は、それぞれ発光に用いられる。また図7

(b)に示すように GDE_0 , GDE_1 , GDE_2 , GDE_3 は、1H期間をこの順に等間隔に分割したパルス列である。このようなパルス列を、図6の構成の垂直ドライバに印加すると、最初の垂直走査線 G_1 には、時刻0, 時刻 $16H + (1/4)H$, 時刻 $46H + (2/4)H$, 時刻 $107H + (3/4)H$ のそれぞれに、期間約 $H/4$ だけTFTがオンする電圧 Vgh が印加されることになる。1Hをビット数分割しているため、同時

(5)

7

刻に複数の垂直走査線に接続されたTFTがオンして信号が混ざりあうことはない。上記の構成による垂直ドライバは、シフトレジスタと論理演算回路部および積和部を単位として追加すれば、垂直方向の配線の増大を来たすことなく容易に表示ビット数を増やすことができるという特徴がある。また、一つの垂直走査線に接続されたTFTのオン時間は、最大で1Hをビット数で分割した時間を充てることができる。上記4ビットの場合では約4msと4倍速、8ビットでは約2msと8倍速でよく従来公知例より2倍の裕度をもたせることができる。さらに発光時間の総和は、1フレーム期間をほぼ用いることができ、発光の効率を高めることができる。また、上記構成では、アクティブマトリクスから遠くの位置に最上位ビットのユニットを配置した。これによれば、仮にデジタル信号の遅延が生じて発光期間が長いのでその歪みが吸収される。

【0019】次に、図8により、水平ドライバ7について説明する。水平ドライバ7の構成としては、1系統のシフトレジスタとビット毎にラッチ回路13-0、13-1、13-2、13-3とを設け、これらの出力とデータ出力制御信号DDE0、DDE1、DDE2、DDE3を順次積和する構成に特徴がある。基本的な駆動波形を図9に示す。データバスDB0、DB1、DB2、DB3には、A/D変換後の4ビット画像データが並列に各ラッチ回路に入力される。このデータ入力は、1H期間内にシフトレジスタ出力に同期して水平方向画素数320回繰り返される。しかる後、データラッチ信号DLに基づいてラッチ回路内のラインメモリに格納される。次の1H期間内にDDE0、DDE1、DDE2、DDE3が順次オンとなってゆき、最下位ビットから最上位ビットの順に、デジタルデータに応じた高レベル電圧Vdh、低レベル電圧Vdlがデータ線に印加される。このデータ線への電圧印加のタイミングは、上に述べた垂直走査のタイミングと一致させる。これにより、最下位ビットのデータによるVdh印加は15H保たれ、最上位ビットによるVdh印加は120H保たれるように構成される。

【0020】以上により、表示部10においては、有機LEDに流れる電流はオンオフの2値となるように制御される。すなわち、画素におけるスイッチトランジスタにおいて、ゲート信号Vghが、データ信号Vdh、Vdlと非飽和状態で動作する関係にあり、さらに、ドライバトランジスタにおいて、データ信号Vdhが、有機LEDの電流供給線への印加電圧Vddと非飽和状態で動作する関係にある。蓄積容量Csは、スイッチトランジスタがオフ状態にあるときにドライバトランジスタのゲート電圧変動を抑制し、有機LEDに流れる電流変化による階調表示の変化をきたさないように設定される。

【0021】なお、本発明は、上記実施の形態に限定さ

8

れるものではない。画素内のTFTの数は2個に限らずこれ以上でよいことはいうまでもない。また水平ドライバ、垂直ドライバをTFTで構成する例を示したが、アクティブマトリクス部との接続部分がTFTであれば本発明の効果は損われることがない、例えば、垂直ドライバのシフトレジスタ部分が外付けの集積回路で構成されていてもよいことはいうまでもない。

【0022】さらに、上記では、有機LEDディスプレイに関して記したが、その駆動回路構成が、他のアクティブマトリクス方式のディスプレイ、例えば高速スイッチする液晶や、電界放射素子(FED)を用いたディスプレイにも適用できることはいうまでもない。

【0023】以上本出願によれば、デジタルデータに基づき表示素子の2値状態を制御して表示素子を駆動する画像表示素子において、1フレーム期間内の表示期間の占める割合を大きくでき、また、垂直走査に割り当てられる時間を長くすることができるので、明るく高品質の画像表示を実現できると同時に垂直ドライブ回路の負荷を軽減できて低コストな画像表示装置を実現できるという効果がある。

【0024】

【発明の効果】本発明によれば、明るく高品質の画像表示を実現した画像表示装置を提供できる。

【図面の簡単な説明】

【図1】従来例による有機LEDの画素および駆動を説明するための図である。

【図2】従来例による有機LEDのデジタル駆動ダイアグラムを説明するための図である。

【図3】垂直走査多重化の駆動ダイアグラムを説明するための図である。

【図4】本発明の実施の形態による画像表示装置のブロック図である。

【図5】本発明の実施の形態による駆動ダイアグラムを説明するための図である。

【図6】本発明の実施の形態による垂直ドライバ構成を示す図である。

【図7】本発明の実施の形態による垂直ドライバの制御波形を示す図である。

【図8】本発明の実施の形態による水平ドライバ構成を示す図である。

【図9】本発明の実施の形態による水平ドライバの制御波形を示す図である。

【符号の説明】

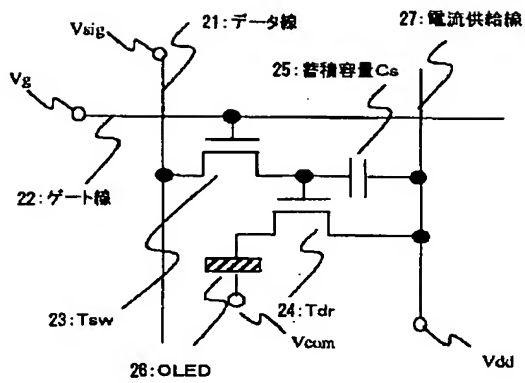
1…画像信号入力端子、2…A/D変換器、3…メモリ、4…垂直走査パルス発生回路、5…水平走査パルス発生回路、6…垂直ドライバ、7…水平ドライバ、8…アクティブマトリクス有機LEDパネル、9…制御回路、10…表示部、11…シフトレジスタ、12…論理演算回路、15…ラッチ回路。

(6)

【図1】

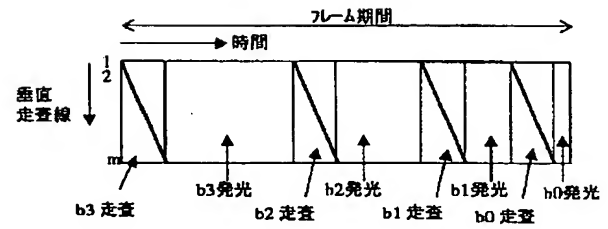
図 1

(a)



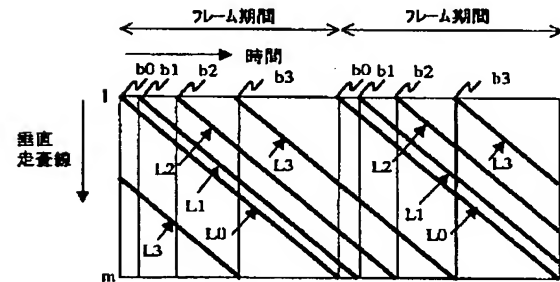
【図2】

図 2



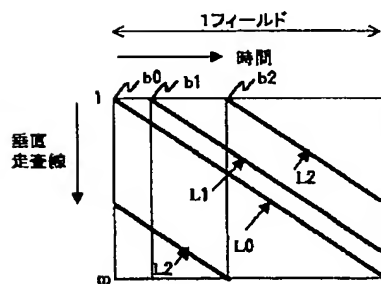
【図5】

図 5



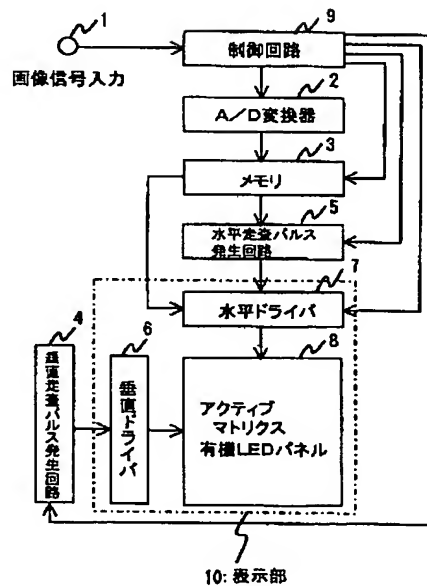
【図3】

図 3



【図4】

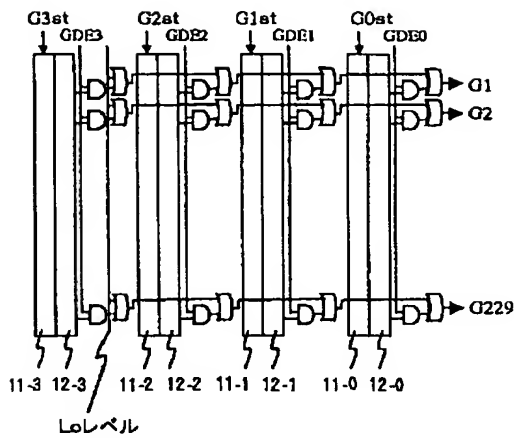
図 4



(7)

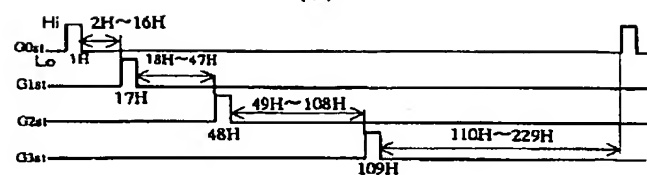
【図 6】

図 6

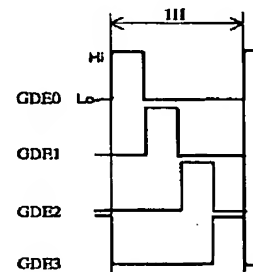


【図 7】

図 7

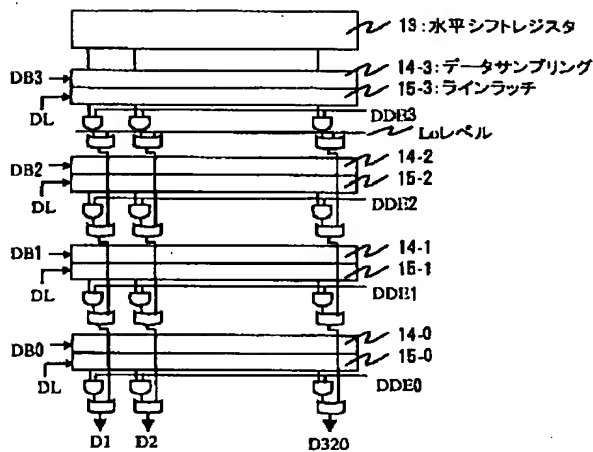


(b)



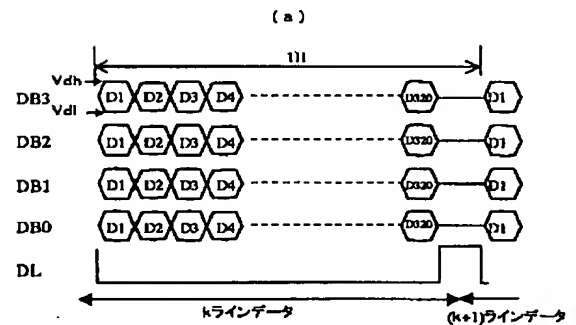
【図 8】

図 8

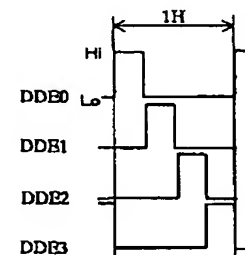


【図 9】

図 9



(b)



(8)

フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 E
	6 8 0		6 8 0 G
3/22		3/22	E
(72) 発明者 金子 好之		(72) 発明者 藤田 満久	
茨城県日立市大みか町七丁目 1 番 1 号 株		千葉県茂原市早野3300番地 株式会社日立	
式会社日立製作所日立研究所内		製作所ディスプレイグループ内	
(72) 発明者 佐藤 敏浩		F ターム (参考) 5C080 AA07 AA10 AA18 DD03 DD08	
千葉県茂原市早野3300番地 株式会社日立		EE29 FF11 JJ02 JJ04 JJ05	
製作所ディスプレイグループ内			

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.